

基于 NC-Verilog 的反熔丝 FPGA 全电路快速仿真

王洪昕, 李 平, 杜 涛, 万义才

(电子科技大学 大规模集成电路设计中心, 四川 成都 610054)

摘 要: 介绍了一种基于 NC_Verilog 仿真工具的反熔丝 FPGA 全电路数字快速功能仿真的方法. 首先分析了反熔丝的烧录原理并在此基础上对反熔丝器件建立等效模型, 然后给出了对反熔丝 FPGA 进行数字仿真的方案, 最后给出了对反熔丝 FPGA 全电路数字仿真的结果和结论. 仿真结果表明, 用此方法可以达成功能仿真验证的目的, 仿真效率得到较大的提高.

关键词: 反熔丝; 反熔丝 FPGA; NC_Verilog; 快速仿真

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2015)04-0079-03

Simulation of Antifuse FPGA Based on Verilog

WANG Hong-xin, LI Ping, DU Tao, WAN Yi-cai

(VLSI Design Center, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: A method for fast digitally functional simulation of the antifuse FPGA based on NC_Verilog is described. The programming principle of the antifuse is analyzed and the antifuse device was modeled by using Verilog. A digital simulation program of antifuse FPGA are given out. The results and conclusions of the digital simulation of antifuse FPGA is given out. Simulation results show that this method can realize the functional simulation, and the efficiency of simulation is improved greatly.

Key words: antifuse; antifuse FPGA; NC_Verilog; high_speed simulation

1 引言

反熔丝 FPGA 具有读取速度快、功耗低、应用温度范围广、抗辐射能力强、安全性高、保密性高等特点, 被广泛应用于宇航、军事等高可靠领域. 在 FPGA 的设计中, 数字仿真可以验证电路功能的正确性, 这种验证保证了在电路制造之前就消除了系统的功能性错误, 缩短了产品的研发周期.

2 反熔丝 FPGA 全电路快速仿真方法

反熔丝 FPGA 电路以数字电路为主, 并有少量模拟模块的混合电路, 在设计和验证的过程中不仅需要模拟部分的电路进行模拟仿真, 也需要对全电路进行仿真, 在选择仿真工具时需要考虑到仿真效率与正确性, 并且反熔丝 FPGA 有一个比较特殊的器件——反熔丝, 在选择仿真工具时也需要考虑

反熔丝的仿真模型.

设计中使用的仿真工具是 Cadence 公司的 NC_Verilog, NC_Verilog 是 Verilog_XL 的升级版, 无论是仿真速度, 还是处理庞大的设计能力、编辑能力、侦错环境都以倍数升级.

以反熔丝 FPGA 电路的功能仿真验证为例, 提出了基于 NC_Verilog 的快速功能仿真验证的方法. 该方法主要是将电路中的各个模块 Verilog 等效模型化, 极大提高了仿真效率.

2.1 反熔丝 FPGA 编程的原理

反熔丝是相对于熔丝而言的一种器件, 是介于两个导通层之间的由绝缘层构成的半导体器件. 如图 1 所示, 当反熔丝两端加高的编程电压后, 绝缘截止层会被击穿, 使得反熔丝两端永久导通. 在击穿前, 反熔丝两端的电阻通常在 $1\text{ G}\Omega$ 以上, 而在编程后, 电阻将会降到 $500\text{ }\Omega$ 左右^[1].

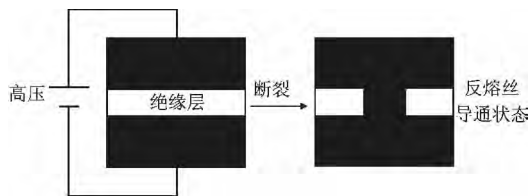


图1 反熔丝烧录原理示意图

在编程时加到反熔丝两端的电压有三种:编程电压 VPP、地 GND 和半编程电压 VKS, VKS 可以起到保护其他反熔丝不被误烧的作用^[2]。

如图2所示,如果要烧录1号反熔丝,即需要在 WL[1]和 BL[1]上分别输入 VPP 和 GND,而在 WL[2]和 BL[2]上都输入 VKS,这样可以保护第2、3、4号反熔丝两端不会出现高的电压差,防止被误烧录。

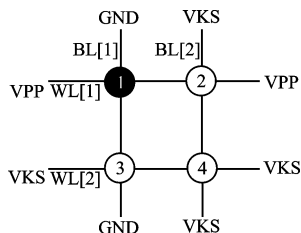


图2 反熔丝烧录时两端所接的电压示意图

反熔丝 FPGA 在编程时,每烧录一个反熔丝都要从 SDI 端口灌入 540 位二进制数据,通过一系列控制电路寻址到需要烧录的反熔丝,在数据灌入完成之后还需要给 SDI 端口几个脉冲,在这段时间,编程电压 VPP 有效,被选中的反熔丝才能被烧通^[3-4]。文中的仿真以反相器为例子,而将反熔丝 FPGA 编程成反相器共需烧录 18 个反熔丝。

2.2 基于 NC_Verilog 的快速仿真解决方案

本文采用自底向上的验证方法^[5],流程如图3所示。

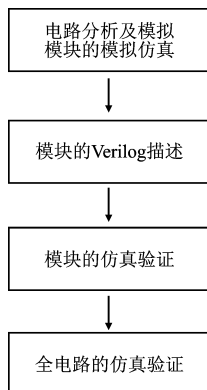


图3 快速仿真验证方案

首先需要分析全电路,分析出数字模块的功能,对于模拟模块需要先用模拟仿真工具仿真。其次对最底层的基本数字单元模块如与非门、反相器、触发器等进行 Verilog 语言描述,此外对反熔丝 FPGA 的某些功能较简单的模块(如 IO 模块、逻辑模块、控制模块等)可以直接用 Verilog 语言进行功能描述^[6]。而对于模拟模块需要根据模拟仿真的结果做 Verilog 语言近似,从而建立起自底向上的层次化的数据库。再次对于各个模块需要进行 NC-Verilog 仿真验证,与电路分析和模拟仿真的结果进行对比,保证底层模块 Verilog 语言描述的正确性。最后用 NC-Verilog 对全电路进行仿真验证。

2.3 反熔丝的 verilog 等效模型

对于反熔丝器件,仿真工具中并没有特定的模型,所以需要单独建模。

如前所述,反熔丝 FPGA 中加到反熔丝两端的电压有三种,只有 VPP 和 GND 的组合才是可以烧通的,而 verilog 语言规范里只有逻辑 1 和逻辑 0 两种,又因为 VKS 仅仅在反熔丝烧录时起到保护反熔丝不被误烧录的作用,在其他电路中并没有使用 VKS,所以在数字仿真中可以将 VKS 置为高阻 Z, VPP 置为 1, GND 置为 0。

反熔丝是一个两端器件,它有两种状态,即烧通和未烧通,为了描述这两种状态,可以定义一个虚拟的第三端控制信号。Verilog 等效模型描述如下:

```
module antifuse (MINUS, PLUS);
// 定义反熔丝两端为输入输出端口
inout MINUS;
inout PLUS;
parameter n=18; // 定义一个常数,其值为需要编程的反熔丝的数量
reg GATE; // 定义一个寄存器类型的虚拟控制信号

initial
begin
    GATE = 1'b0; // 将这个虚拟控制信号初始化为 0
end

// 不断监测反熔丝两端的信号,在反熔丝两端为逻辑 1 和逻辑 0 时,并且满足在编程时间之内,虚拟控制信号才置为 1,代表反熔丝被烧通
always @ (MINUS or PLUS)
begin
    if ((MINUS ^ PLUS) && ($time < (n * 14110)))
        GATE = 1'b1;
end

// 当反熔丝被烧通后,反熔丝将永久导通
```

```
tranif1 (MINUS, PLUS, GATE); endmodule
```

3 反熔丝 FPGA 全电路的数字仿真

3.1 反熔丝 FPGA 全电路仿真激励说明

反熔丝 FPGA 全电路仿真的需要以下几个输入激励信号。

MODE: MODE 为 1 时,为编程状态;MODE 为 0 时,为正常工作状态。

SDI: 为编程数据的输入端,编程一个反熔丝需要 540 个二进制数据用来寻址,并且在此之后需要几个脉冲,才能完成编程。

VCC: 普通电源信号。

VPP: 高压编程电压,用来烧通反熔丝,正常工作时,变为常压 VCC。

VKS: 半编程电压,用来防止反熔丝被误烧。

GND: 地信号。

DCLK: SDI 灌入数据时需要的时钟信号。

在正常工作时,反熔丝两端的电压只可能是 VCC 和 GND,显然 VCC 和 GND 的电压差是不能烧通反熔丝的,而 VCC 和 GND 在数字仿真中也是逻辑 1 和逻辑 0,若不给反熔丝的烧通条件加上时间的约束,将导致许多反熔丝在正常工作时被误烧。加上时间的限制之后控制信号 GATE 在编程时间之外就不会变化了。

3.2 仿真说明

如图 4 所示,将激励形成的 symbol 与反熔丝 FPGA 电路连接,其中 random 模块输出的是随机的 1 和 0,它接在反熔丝 FPGA 的 P60 作为反相器的输入,反相器的输出端为 P55。

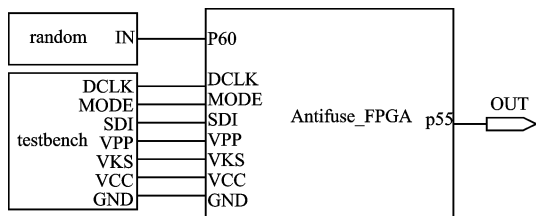


图 4 仿真电路图

3.3 仿真结果及分析

如图 5 所示,可以看出烧录和正常工作的整体过程,共有 18 个烧录周期,图 6 显示一个完整的烧录周期需要 14 110 ns,而这个反相器设计共需要烧录 18 个反熔丝,所以烧录过程共需要 $18 \times 14\ 110\text{ ns} = 253\ 980\text{ ns}$,在此之后进入正常工作模式,实现反相器功能,如图 7 所示。

设计中使用的模型及方法均是理想状态,未

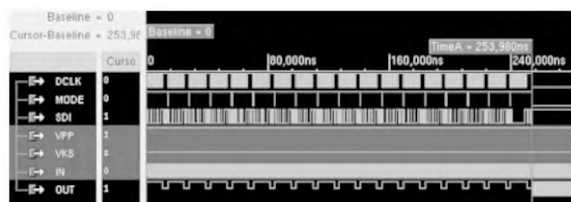


图 5 仿真的整体波形



图 6 一个烧录周期里的仿真波形

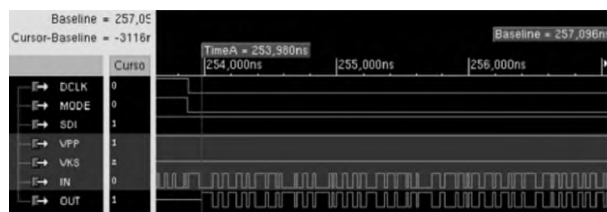


图 7 正常工作时的仿真波形

考虑到延时和模拟电路模型的失真等情况,造成部分信号仿真结果可能与实际情况不完全符合,这是此种方法与模拟仿真相比的不足,但是从功能验证的角度来看,用此方法仿真的结果是有指导作用的,可以检验电路中一些关键信号的正确性。

另外,此方法相比于模拟仿真最大的优点在于它的效率和速度,为了体现本方法在效率上的优越性,在同样的硬件环境下,将本项目的快速功能仿真验证与 HSPICE 功能仿真验证效率做了对比,结果如表 1 所示,可知使用快速功能仿真验证极大地提高了仿真效率,减少了反熔丝 FPGA 设计中的验证耗时。

表 1 功能仿真效率对比

仿真方法	传统功能仿真验证	快速功能仿真验证
仿真工具	HSPICE	NC-Verilog
仿真精度/ns	1	1
仿真时间/ns	260 000	260 000
机时耗费/s	14 400	12

(下转第 85 页)

到满意结果. 这些问题可以作为今后进一步深入研究的方

参考文献:

- [1] 吕冀,赵龙,史国清. 一种旋转不变特征描述符[J]. 光电子·激光,2010,21(6):944-948.
- [2] Huihuang Zhao, Dejian Zhou, Zhaohua Wu. SMT product character recognition based on BP neural network[C]//2010 Sixth International Conference on Natural Computation Yantai, China; IEEE, 2010; 589-593.
- [3] 冯夫健,张乾,王林,等. 字符特征提取方法[J]. 软件导刊,2012,11(1):18-19.
- [4] 鲁传运,黄言平,季托. 图像旋转不变特征特性研究[C]//中国航天科工集团公司. 第九届全国光电技术学术交流会论文集(下册). 天津:中国航天科工集团公司,2010.
- [5] 李新良. 基于模板匹配法的字符识别算法研究[J]. 计算机技术及自动化,2012,31(2):90-93.

- [6] 江明,刘辉,黄欢. 图像二值化技术的研究[J]. 软件导刊,2009,8(4):175-177.
- [7] 张斌,常雷,童钟灵. 基于矩的图像归一化技术与 Matlab 实践[J]. 四川兵工学报,2010,31(4):75-77.
- [8] Karl Deckers, Adhemar Bultheel. Rational interpolation: II. Quadrature and convergence[J]. Journal of Mathematical Analysis and Applications, 2013, 397(1):124-141.

作者简介:

梁华刚 男,(1980-),工学博士,硕士生导师. 研究方向为机器视觉及模式识别方面的研究、数字图像处理和智能交通领域研究. E-mail:lhg19800305@hotmail.com.

程加乐 女,(1989-),硕士研究生. 研究方向为机器视觉和图像处理的算法研究. E-mail:271664931@qq.com.

茹 锋 男,(1969-),工学博士,教授. 研究方向为图像处理与机器视觉、车联网技术及嵌入式系统、多源信息融合技术领域研究. E-mail:fengru@chd.edu.cn.

(上接第 81 页)

4 结束语

提出了基于 NC_Verilog 的快速功能仿真验证的方法. 分析了反熔丝器件和反熔丝 FPGA 的特点,在此基础上给出了反熔丝的等效模型,并通过仿真验证反熔丝 FPGA 电路的功能正确性,仿真结果显示此种仿真方法能达到功能仿真验证的目的,并且缩短了仿真周期,提高了仿真效率. 使用这种仿真方法对于提高反熔丝 FPGA 电路设计的正确率及功能覆盖率都有指导意义.

参考文献:

- [1] Addison M J S. Application-specific integrated circuits [M]. [s. l.]: Wesley Educational Publishers Inc, 1997:185-187.

- [2] Greene J, Hamdy E, Beal S. Antifuse field programmable gate arrays [J]. Proceedings Of The IEEE, 1993, 81(7):1042-1056.
- [3] Steve S C, Chen W-J, Esam E. Methods for programming antifuses having at least one metal electrode. USA: 5316971[P]. 1994-5-31.
- [4] 石雅先. 反熔丝 FPGA 设计技术研究[D]. 成都:电子科技大学, 2011.
- [5] 杨亚兰,杜涛,罗玉香. 基于逻辑等效模型的快速功能仿真验证[J]. 微处理机, 2011(3):6-9.
- [6] 须国宗,梁洪昌,黄焕章. Verilog_HDL 在数字 ASIC 设计上的应用[J]. 微处理机, 1996(1):27-30.

作者简介:

王洪昕 男,(1991-),硕士研究生. 研究方向为超大规模集成电路研究与设计. E-mail:wanghongxin007@163.com.